

Docket No.: P-0560

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Jung-Hoon KIM

Serial No.: New U.S. Patent Application

Filed: July 22, 2003

For: MULTI CLOCK DECIDING SYSTEM

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Alexandria, Virginia 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 10-2002-0043172 Filed July 23, 2002

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP



Daniel Y.J. Kim  
Registration No. 36,186  
Mark E. Olds  
Registration No. 46,507

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

**Date: July 22, 2003**

DYK/MEO:tljw



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0043172

Application Number

출원 년 월 일 : 2002년 07월 23일

Date of Application JUL 23, 2002

출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 06 월 11 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.23
【국제특허분류】	H04J
【발명의 명칭】	다중 클럭 위상 결정 시스템
【발명의 영문명칭】	System for Concluding Phase of Multi-Clock
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	허용록
【대리인코드】	9-1998-000616-9
【포괄위임등록번호】	2002-027042-1
【발명자】	
【성명의 국문표기】	김정훈
【성명의 영문표기】	KIM, Jung Hoon
【주민등록번호】	680703-1030324
【우편번호】	435-040
【주소】	경기도 군포시 산본동 금강아파트 902동 1004호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 록 (인) 허용
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	32,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 레퍼런스 클럭을 수신하여 시스템에서 사용되는 주파수로 변환하는 PLL 제어부, 상기 PLL 제어부로부터 전송된 클럭에 대하여 복수의 지연 클럭을 생성하는 지연 클럭 생성부, 상기 지연 클럭 생성부에서 생성된 복수의 지연 클럭과 외부 클럭을 비교하여 최소의 위상차를 갖는 지연 클럭을 검색하는 위상 비교부, 상기 위상 비교부의 검색 결과 상기 복수의 지연 클럭 중에서 상기 외부 클럭과 위상이 동기된 지연 클럭을 결정하여 클럭 선택 정보를 생성하는 클럭 선택부, 상기 클럭 선택부로부터 전송된 클럭 선택 정보에 상응하여 클럭을 출력하는 멀티플렉서로 구성된 것으로서, 지연 소자의 단위 지연 시간이 위상 오차를 결정하게 되므로 위상 제어의 정밀도 조정이 가능하다.

**【대표도】**

도 2

**【색인어】**

다중 클럭, 위상, 지연 클럭

【명세서】

【발명의 명칭】

다중 클럭 위상 결정 시스템{System for Concluding Phase of Multi-Clock}

【도면의 간단한 설명】

도 1은 종래의 이중화 클럭 위상 결정 장치의 구성을 개략적으로 나타낸 블록도.

도 2는 본 발명의 바람직한 일 실시예에 따른 다중 클럭 위상 결정 장치의 구성을 개략적으로 나타낸 블록도.

도 3은 본 발명의 바람직한 일 실시예에 따른 지연 클럭 생성부의 구성을 개략적으로 나타낸 도면.

도 4는 본 발명의 바람직한 일 실시예에 따른 지연 클럭 생성부에서 생성된 지연클럭의 파형을 나타낸 도면.

도 5는 본 발명의 바람직한 일 실시예에 따른 위상 비교부의 지연 클럭 선택 방법을 나타낸 도면.

도 6은 본 발명의 바람직한 일 실시예에 따른 이중화된 클럭 위상 결정 시스템의 구성을 개략적으로 나타낸 블록도.

도 7은 본 발명의 바람직한 일 실시예에 따른 다중 클럭 위상 결정 시스템의 구성을 개략적으로 나타낸 블록도.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : PLL 제어부	110, 230 : 이상 검출부
120, 240 : 이중화 제어부	130, 250 : 클럭 선택부
140, 260 : 멀티플렉서	210 : 지연 클럭 생성부
220 : 위상 비교부	600, 700 : 클럭 위상 결정 장치
710 : 다중 클럭 선택부	

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 디지털 회로의 동작원으로 사용되는 클럭을 다중화하여 안정적인 클럭의 생성 및 공급이 가능하도록 하는 다중 클럭 위상 결정 시스템에 관한 것이다.
- <15> 디지털 회로의 동작원으로 사용되는 클럭은 회로의 심장부와 같은 역할을 하므로 주파수의 정확성과 안정성이 요구되며 고속 연산 및 고속 처리가 요구됨에 따라 그 중요성이 날로 증가하고 있다. 더구나 통신 장비와 같은 신뢰성이 요구되는 분야에서는 하나의 클럭 발생원에 문제가 있더라도 정상적인 동작을 수행하기 위하여 이중화 또는 다중화된 클럭을 사용하고 있다.
- <16> 이하 도면을 참조하여 이중화 클럭 위상 결정 장치에 대하여 설명하기로 한다.
- <17> 도 1은 종래의 이중화 클럭 위상 결정 장치의 구성을 개략적으로 나타낸 블록도이다.

- <18> 도 1을 참조하면, 이중화 클럭 위상 결정 장치는 PLL 제어부(100), 이상 검출부(110), 이중화 제어부(120), 클럭 선택부(130), 멀티 플렉서(140)를 포함한다.
- <19> PLL 제어부(100)는 시스템에서 사용될 클럭의 공급원으로부터 입력된 레퍼런스 클럭을 수신하여 시스템에서 사용되는 주파수로 변환하는 역할을 한다.
- <20> 이상 검출부(110)는 입력되는 레퍼런스 클럭의 이상 유무를 검출하는 역할을 한다.
- <21> 이중화 제어부(120)는 해당 보드가 활성 상태인지 또는 대기 상태인지를 나타내는 이중화 신호를 판단하여 클럭 선택 정보를 클럭 선택부에 전송한다. 즉, 상기 이중화 제어부(120)는 정상적인 클럭을 모니터링하여 출력 펄스의 경로를 결정하는 역할을 한다.
- <22> 클럭 선택부(130)는 상기 이중화 제어부(120)로부터 전송된 클럭 선택 정보를 디코딩하여 멀티플렉서(140)에 전송한다.
- <23> 멀티 플렉서(140)는 상기 PLL 제어부(100)로부터 출력된 클럭과 외부에서 입력되는 클럭중에서 상기 클럭 선택부(130)로부터 전송된 클럭 선택 정보에 따라 시스템 클럭을 출력하는 역할을 한다.
- <24> 이하 상기와 같이 구성된 이중화 클럭 위상 결정 장치의 동작에 대하여 설명하기로 한다.
- <25> 시스템에서 사용될 클럭의 공급원으로부터 레퍼런스 클럭이 PLL 제어부(100)에 입력되면, 상기 PLL 제어부(100)는 상기 입력된 레퍼런스 클럭을 시스템에서 사용되는 주파수로 변환하여 멀티플렉서(140)에 전송한다.
- <26> 상기 멀티플렉서(140)는 시스템 클럭을 출력하게 되는데, 상기 시스템 클럭은 PLL 제어부(100)의 클럭을 사용할 수 있으나, 하나의 클럭 경로가 이상이 발생한 경우 동일

한 주파수의 다른 클럭을 사용해야 하므로 이중화된 다른 클럭을 받아 이를 멀티플렉서(140)에 스위칭한다.

<27> 이때, 클럭 선택부(130)는 기준이 되는 레퍼런스 클럭의 유무를 모니터링하고 있는 이중화 제어부(120)로부터 전송된 클럭 선택 정보를 디코딩하여 상기 멀티 플렉서(140)에 전송한다.

<28> 상기 멀티플렉서(140)는 상기 클럭 선택 정보에 따라 클럭을 선택하여 시스템 클럭을 출력한다.

<29> 상기와 같이 동일하게 동작하는 2개의 장치가 상호 보완적인 동작을 수행하게 되며 하나의 클럭 경로가 비정상일 경우 다른 클럭원으로부터 경로를 형성하여 시스템이 클럭의 끊김이 없도록 동작하게 된다.

<30> 그러나 상기와 같이 종래에는 PLL 제어에 의해 락(lock)되는데 소요되는 시간이 과다하게 걸리는 문제점이 있다

<31> 또한, PLL이 락되더라도 PLL이 락되는 시점이 다른 경우 2개의 시스템 클럭의 위상이 다르게 되는 문제점이 있다.

<32> 또한, 이중화된 시스템 클럭의 위상이 동일하지 않게 될 가능성이 크므로 이중화 절체가 발생하는 시점의 듀티가 급변하는 등 클럭 품질이 저하되어 경우에 따라서는 디지털 회로 또는 시스템에 치명적인 영향을 끼치는 문제점이 있다.



**【발명이 이루고자 하는 기술적 과제】**

<33> 따라서, 본 발명의 목적은 회로 및 시스템에서 다중 클럭을 갖도록 하여 외부 클럭의 위상을 검출 및 이를 제어하여 클럭을 결정하는데까지 소요되는 시간을 최소화할 수 있도록 하고, 더욱 간단한 구성으로 클럭의 위상 오차를 최소화시켜 회로 또는 시스템의 안정성을 극대화시키는 다중 클럭 위상 결정 시스템을 제공하는데 있다.

**【발명의 구성 및 작용】**

<34> 상기 목적들을 달성하기 위하여 본 발명의 일 측면에 따르면, 레퍼런스 클럭을 수신하여 시스템에서 사용되는 주파수로 변환하는 PLL 제어부, 상기 PLL 제어부로부터 전송된 클럭에 대하여 복수의 지연 클럭을 생성하는 지연 클럭 생성부, 상기 지연 클럭 생성부에서 생성된 복수의 지연 클럭과 외부 클럭을 비교하여 최소의 위상차를 갖는 지연 클럭을 검색하는 위상 비교부, 상기 위상 비교부의 검색 결과 상기 복수의 지연 클럭 중에서 상기 외부 클럭과 위상이 동기된 지연 클럭을 결정하여 클럭 선택 정보를 생성하는 클럭 선택부, 상기 클럭 선택부로부터 전송된 클럭 선택 정보에 상응하여 클럭을 출력하는 멀티플렉서를 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 장치가 제공된다.

<35> 바람직하게 상기 레퍼런스 클럭과 외부 클럭의 이상 유무를 검출하는 이상 검출부를 더 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 장치가 제공된다.

<36> 바람직하게 다중화 신호에 의해서 마스터/슬레이브 제어를 수행하여 상기 외부 클럭에 의한 위상 결정 여부를 제어하는 다중화 제어부를 더 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 장치가 제공된다.

- <37>      상기 지연 클럭 생성부는 복수의 지연 소자로 구성된 것으로, 상기 지연 소자의 개수에 상응하여 일정한 시간 간격으로 지연된 지연 클럭을 생성한다.
- <38>      상기 위상 비교부는 상기 복수의 지연 클럭 중에서 상기 외부 클럭의 상승 에지 또는 하강 에지가 발생한 시점에 상응하여 상승에지 또는 하강에지가 발생하는 지연 클럭을 검색한다.
- <39>      상기 위상 비교부는 오프셋 값을 이용하여 상기 외부 클럭과 일정한 위상차를 갖는 지연 클럭을 선택한다.
- <40>      본 발명의 다른 측면에 따르면, 레퍼런스 클럭, 다중화 신호와 외부 클럭중 적어도 하나에 의해서 시스템 클럭을 생성하는 복수개의 다중 클럭 위상 결정 장치, 상기 다중 클럭 위상 결정 장치에서 생성된 복수의 시스템 클럭의 이상 유무를 판단하고 이상이 없는 시스템 클럭 중에서 적어도 하나의 클럭을 선택하여 상기 다중 클럭 위상 결정 장치에 외부 클럭으로 제공하는 다중 클럭 선택부를 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 시스템이 제공된다.
- <41>      이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <42>      도 2는 본 발명의 바람직한 일 실시예에 따른 다중 클럭 위상 결정 장치의 구성을 개략적으로 나타낸 블록도이다.

- <43> 도 2를 참조하면, 다중 클럭 위상 결정 장치는 PLL 제어부(200), 지연 클럭 생성부(210), 위상 비교부(220), 이상 검출부(230), 이중화 제어부(240), 클럭 선택부(250), 멀티 플렉서(260)를 포함한다.
- <44> PLL 제어부(200)는 시스템에서 사용된 클럭의 공급원으로부터 입력된 레퍼런스 클럭을 수신하여, 시스템에서 사용되는 주파수로 변환하는 역할을 한다.
- <45> 지연 클럭 생성부(210)는 상기 PLL 제어부(200)로부터 전송된 클럭에 대하여 복수의 지연클럭을 생성하는 역할을 한다. 상기 지연 클럭 생성부(210)는 도 3에 도시된 것과 같이 제1지연소자, 제2지연소자, 제3지연소자....제n 지연 소자로 구성되어, N개의 서로 다르게 지연된 클럭을 출력하게 된다.
- <46> 위상 비교부(220)는 외부 클럭의 위상을 상기 지연 클럭 생성부(210)에서 생성된 복수의 지연 클럭과 비교하여 최소의 위상차를 갖는 지연 클럭을 결정하여 클럭 선택부(250)에 전송한다.
- <47> 이상 검출부(230)는 입력되는 레퍼런스 클럭과 외부 클럭의 이상 유무를 검출하는 역할을 한다.
- <48> 이중화 제어부(240)는 클럭을 선택하는데 있어서, 이중화 신호에 의해서 마스터/슬레이브 제어를 수행하여 외부 클럭에 의한 위상 결정 여부를 결정한다.
- <49> 즉, 상기 이중화 제어부(240)는 해당 보드가 슬레이브로 동작하는 경우, 외부 클럭과 위상이 동기된 지연 클럭이 출력되도록 동작하게 한다. 이때, 클럭 선택부(250)가 위상 비교부의 출력 즉, 상기 외부 클럭과 최소의 위상차를 갖는 지연 클럭 정보를 디코드하여 멀티플렉서(260)에 전달한다.

- <50> 또한, 상기 이중화 제어부(240)는 해당 보드가 마스터 클럭으로 동작하는 경우 상기 클럭 선택부(250)가 위상 비교부(220)의 출력을 참조하지 않도록 클럭 선택부(250)를 제어한다. 즉, 상기 이중화 제어부(240)는 해당 보드가 마스터 클럭으로 동작할 때, 외부 클럭이 비정상적인 경우, 비정상적인 클럭을 출력하지 않도록 차단하여 안정적인 클럭 출력이 가능하도록 한다.
- <51> 따라서, 상기 이중화 제어부(240)는 정상적인 클럭을 모니터링하여 출력 펄스의 경로를 결정하는 역할을 한다.
- <52> 클럭 선택부(250)는 상기 위상 비교부(220) 또는 이중화 제어부(240)로부터 전송된 클럭 선택 정보를 멀티플렉서(260)에 전송한다.
- <53> 멀티 플렉서(260)는 상기 클럭 선택부(250)로부터 전송된 클럭 선택 정보에 상응하여 해당 클럭을 출력하는 역할을 한다.
- <54> 도 3은 본 발명의 바람직한 일 실시예에 따른 지연 클럭 생성부의 구성을 개략적으로 나타낸 도면이고, 도 4는 본 발명의 바람직한 일 실시예에 따른 지연 클럭 생성부에서 생성된 지연클럭의 파형을 나타낸 도면이다.
- <55> 도 3 및 도 4를 참조하면, 지연 클럭 생성부는 도 3에 도시된 것과 같이 제1지연소자(300a), 제2지연소자(300b), 제3지연소자(300c)....제n 지연 소자(300n)로 구성된다. 상기 지연 클럭 생성부의 각 지연 소자는 도 4와 같이 N개의 서로 다른 지연 클럭을 생성한다. 즉, 상기 지연 클럭 생성부를 살펴보면, 상기 제1 지연 소자(300a)가 제1 지연 클럭 생성한 후 지연시간  $t_{d1}$ 가 경과하면, 제2 지연 소자(300b)는 제2 지연 클럭

생성, ..., 지연시간  $t_{dn}$ 이 경과하면, 제n 지연 소자(300n)는 제n 지연클럭을 생성한다.

<56> 이때, 지연 클럭 생성부에 입력되는 펄스의 주기를 T라고 할 경우 지연 시간과 펄스 주기의 관계는 수학식1과 같다. 이때, 지연 소자의 지연 단위를 작게 하면 할수록 위상 오차를 최소화하여 더욱 정밀한 위상 제어가 가능해진다.

<57> 【수학식 1】  $T = t_{d1} + t_{d2} + t_{d3} + \dots + t_{dN}$

<58> T : 클럭의 주기  $t_{d1}, t_{d2}, t_{d3}, \dots, t_{dN}$ : 클럭지연시간

<59> 도 5는 본 발명의 바람직한 일 실시예에 따른 위상 비교부의 지연 클럭 선택 방법을 나타낸 도면이다.

<60> 도 5를 참조하면, 위상 비교부는 외부 클럭의 입력을 받아 지연 클럭 생성부에서 생성된 복수의 지연 클럭 중에서 적어도 하나의 지연 클럭을 선택한다. 즉, 위상 비교부는 외부 클럭이 들어오면, 외부 클럭의 상승 에지(또는 하강 에지)가 발생한 시점을 추출하여 상기 추출된 시점에 상응하여 상승에지(또는 하강에지)가 발생한 지연 클럭을 선택한다. 즉, 상기 위상 비교부는 상기 외부 클럭이 상승 에지인 시점 즉, 0상태에서 1상태로 되는 시점과 유사한 시점에 0상태에서 1상태로 되는 지연 클럭이 존재하는지를 검색한다.

<61> 검색결과 제2 지연 클럭은 '1'상태, 제3 지연 클럭은 '0'상태에서 1상태로 상기 외부 클럭과 위상이 유사하므로, 상기 위상 비교부는 제3 지연 클럭을 선택한다.

<62> 그런다음 상기 위상 비교부가 상기 제3 지연 클럭 선택 정보를 클럭 선택부에 전송하면, 상기 클럭 선택부는 상기 제3 지연 클럭 선택 정보를 멀티 플렉서에 전송한다. 그

러면, 상기 멀티플렉서는 상기 제3 지연 클럭 선택 정보에 상응하여 제3 지연 클럭을 출력한다.

<63> 따라서, 제3 지연 클럭을 선택하게 되면 외부 클럭과 위상이 같은 출력 펄스를 선택하는 것이 가능하게된다. 이때, 최대 위상 오차는 예를들어,  $t_a$ 일 수 있다.

<64> 또한, 상기 위상 비교부는 오프셋 값을 이용하여 일정한 위상차를 갖는 클럭을 선택할 수 있다. 즉, 제3 지연 클럭을 1차 선택하고, 오프셋값이 -2인 경우 제1 지연 클럭을 선택하는 것이 가능하게 되어 원하는 위상차를 유지하는 클럭의 선택이 가능해진다. 따라서, 오프셋 값을 조정하여 외부 클럭에 대하여 원하는 위상차를 갖도록 제어할 수 있다.

<65> 도 6은 본 발명의 바람직한 일 실시예에 따른 이중화된 클럭 위상 결정 시스템의 구성을 개략적으로 나타낸 블록도이다.

<66> 도 6을 참조하면, 제1 클럭 위상 결정 장치(600a)는 레퍼런스 클럭1과 제2 클럭 위상 결정장치(600b)에서 출력된 시스템 클럭2(외부클럭), 이중화 신호에 의해서 시스템 클럭1을 출력한다. 즉, 상기 제1 클럭 위상 결정 장치(600a)는 이중화 신호가 해당 보드의 마스터 동작을 나타내면, 위상 비교부의 클럭 선택 정보를 참조하지 않고 클럭을 선택하여 시스템 클럭 1을 출력한다.

<67> 또한, 상기 제1 클럭 위상 결정 장치(600a)는 이중화 신호가 해당 보드의 슬레이브 동작을 나타내면, 상기 시스템 클럭 2(외부 클럭)와 위상이 동기된 클럭을 출력하도록 제어하여 시스템 클럭 1을 출력한다.

- <68> 제2 클럭 위상 결정 장치(600b)는 레퍼런스 클럭2, 제1 클럭 위상 결정 장치(600a)에서 출력된 시스템 클럭1(외부클럭), 이중화 신호에 의해서 시스템 클럭2를 출력한다. 상기 제2 클럭 위상 결정 장치(600b)가 시스템 클럭 2를 출력하는 것에 대한 상세한 설명은 상기 제1 클럭 위상 결정 장치(600a)와 같으므로 그 설명은 생략하기로 한다.
- <69> 도 7은 본 발명의 바람직한 일 실시예에 따른 다중 클럭 위상 결정 시스템의 구성을 개략적으로 나타낸 블록도이다.
- <70> 도 7을 참조하면, 다중 클럭 위상 결정 시스템은 n개의 다중 클럭 위상 결정 장치(700)와 다중 클럭 선택부(710)를 포함한다.
- <71> 제1 다중 클럭 위상 결정 장치(700a)는 시스템 클럭 1, 제2 다중 클럭 위상 결정 장치(700b)는 시스템 클럭 2, ..., 제n 다중 클럭 위상 결정 장치(700n)는 시스템 클럭 n을 생성한다.
- <72> 그런다음 상기 각 다중 클럭 위상 결정 장치(700)는 각 생성된 시스템 클럭을 다중 클럭 선택부(710)와 해당 장치에 전송한다.
- <73> 상기 다중 클럭 위상 결정 장치(700)가 시스템 클럭을 생성하는 것에 대한 상세한 설명은 도 2를 참조한다. 여기서, 도 2는 다중 클럭 위상 결정 장치중에서도 이중 클럭 위상 결정 장치에 한정되어 설명된 것이므로, 도 2에 도시된 이중화 제어부는 다중화 제어부로, 이중화 신호는 다중화 신호로 변환하면, 다중 클럭 위상 결정 장치에 대한 상세한 설명이된다. 이때, 상기 다중화 제어부의 동작은 이중화 제어부의 동작과 상응하다.

- <74>      상기 다중 클럭 선택부(710)는 상기 다중 클럭 위상 결정 장치(700)로부터 전송된 복수의 시스템 클럭의 이상 유무를 판단하고, 이상이 없는 시스템 클럭 중에서 하나의 클럭을 선택하여 각 다중 클럭 위상 결정 장치(700)에 외부 클럭으로 입력한다.
- <75>      그러면, 상기 각 다중 클럭 위상 결정 장치(700)는 상기 입력된 외부 클럭과 다중화 신호에 의해서 각각 시스템 클럭을 생성한다.
- <76>      본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 물론이다.

#### 【발명의 효과】

- <77>      상술한 바와 같이 본 발명에 따르면, 입력 클럭을 지연 소자를 통하여 일정한 시간 간격으로 지연된 복수의 클럭을 생성하여 상기 생성된 복수의 클럭 중에서 외부 클럭과 동기된 위상의 클럭을 선택하여 출력하게 되므로 위상이 결정되는데 걸리는 시간이 최소화되는 다중 클럭 위상 결정 시스템을 제공할 수 있다.
- <78>      또한, 본 발명에 따르면, 외부 클럭의 주파수가 시간이 경과함에 따라 단기 안정도, 장기 안정도 또는 외부 온도 변화의 영향으로 미세하게 주파수가 바뀌거나 위상 천이가 발생하더라도 빠른 응답으로 이를 추종하여 결정하게 되므로 안정된 클럭을 공급하는 다중 클럭 위상 결정 시스템을 제공할 수 있다.
- <79>      또한, 본 발명에 따르면, 지연 소자의 단위 지연 시간이 위상 오차를 결정하게 되므로 위상 제어의 정밀도 조정이 가능한 다중 클럭 위상 결정 시스템을 제공할 수 있다.



<80> 또한, 본 발명에 따르면, 외부 클럭의 상승에지 또는 하강에지의 발생 시점에 오프셋을 더하거나 빼기를 수행하여 일정한 위상차를 유지할 수 있도록 제어할 수 있는 다중 클럭 위상 결정 시스템을 제공할 수 있다.

<81> 또한, 본 발명에 따르면, PLL을 제어하기 위하여 마이크로프로세서 및 복잡한 알고리즘이나 제어로직이 필요없으며, 위상을 검출하기 위하여 아날로그 디지털 컨버터 등을 필요로 하지 않고 간단하게 구현이 가능한 다중 클럭 위상 결정 시스템을 제공할 수 있다.

**【특허청구범위】****【청구항 1】**

레퍼런스 클럭을 수신하여 시스템에서 사용되는 주파수로 변환하는 PLL 제어부;

상기 PLL 제어부로부터 전송된 클럭에 대하여 복수의 지연 클럭을 생성하는 지연 클럭 생성부;

상기 지연 클럭 생성부에서 생성된 복수의 지연 클럭과 외부 클럭을 비교하여 최소의 위상차를 갖는 지연 클럭을 검색하는 위상 비교부;

상기 위상 비교부의 검색 결과 상기 복수의 지연 클럭 중에서 상기 외부 클럭과 위상이 동기된 지연 클럭을 결정하여 클럭 선택 정보를 생성하는 클럭 선택부;

상기 클럭 선택부로부터 전송된 클럭 선택 정보에 상응하여 클럭을 출력하는 멀티플렉서

를 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 장치.

**【청구항 2】**

제1항에 있어서,

상기 레퍼런스 클럭과 외부 클럭의 이상 유무를 검출하는 이상 검출부를 더 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 장치

**【청구항 3】**

제1항에 있어서,

다중화 신호에 의해서 마스터/슬레이브 제어를 수행하여 상기 외부 클럭에 의한 위상 결정 여부를 제어하는 다중화 제어부를 더 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 장치.

**【청구항 4】**

제1항에 있어서,

상기 지연 클럭 생성부는 복수의 지연 소자로 구성된 것으로, 상기 지연 소자의 개수에 상응하여 일정한 시간 간격으로 지연된 지연 클럭을 생성하는 것을 특징으로 하는 다중 클럭 위상 결정 장치.

**【청구항 5】**

제1항에 있어서,

상기 위상 비교부는 상기 복수의 지연 클럭 중에서 상기 외부 클럭의 상승 에지 또는 하강 에지가 발생한 시점에 상응하여 상승에지 또는 하강에지가 발생하는 지연 클럭을 검색하여 선택하는 것을 특징으로 하는 다중 클럭 위상 결정 장치.

**【청구항 6】**

제1항에 있어서,

상기 위상 비교부는 오프셋 값을 이용하여 상기 외부 클럭과 일정한 위상차를 갖는 지연 클럭을 선택하는 것을 특징으로 하는 다중 클럭 위상 결정 장치.

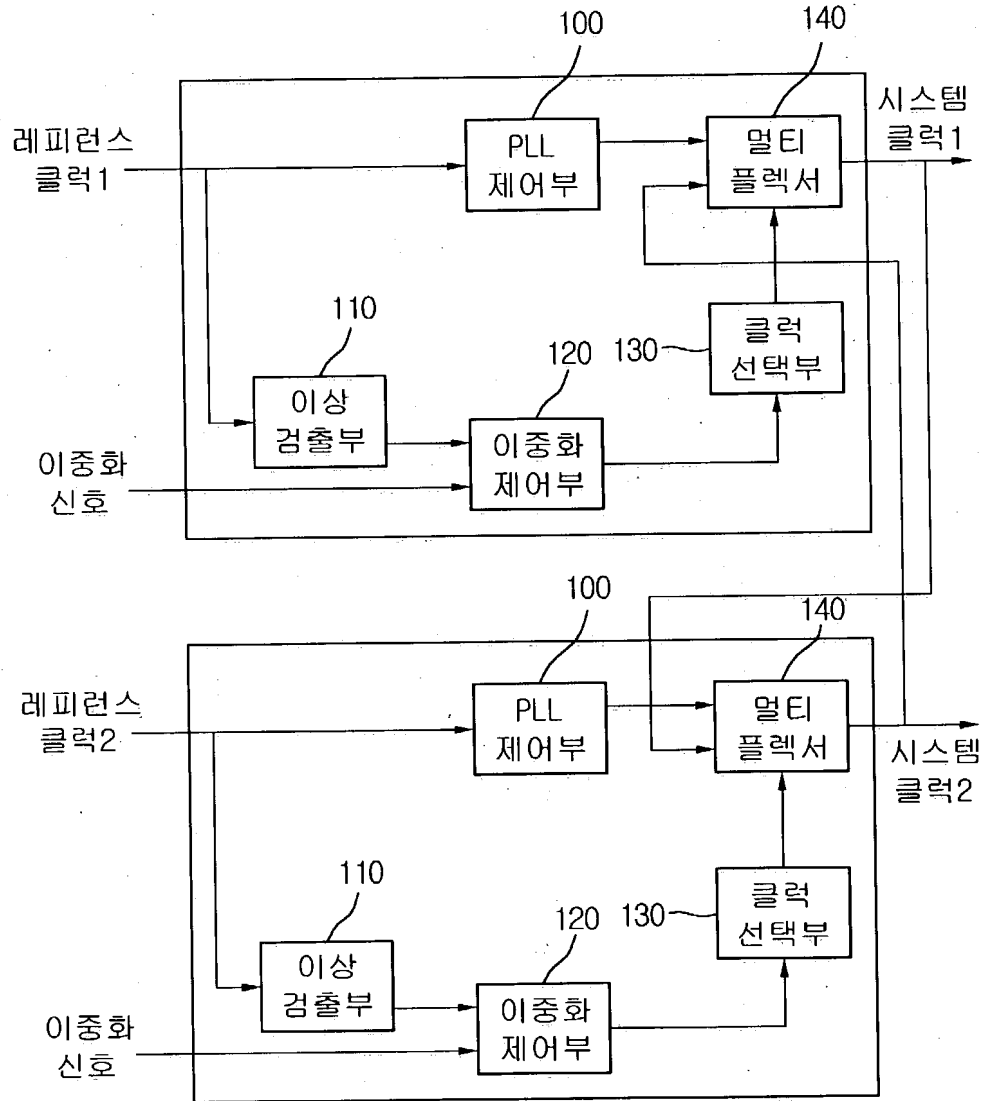
**【청구항 7】**

레퍼런스 클럭, 다중화 신호와 외부 클럭중 적어도 하나에 의해서 시스템 클럭을 생성하는 복수개의 다중 클럭 위상 결정 장치;

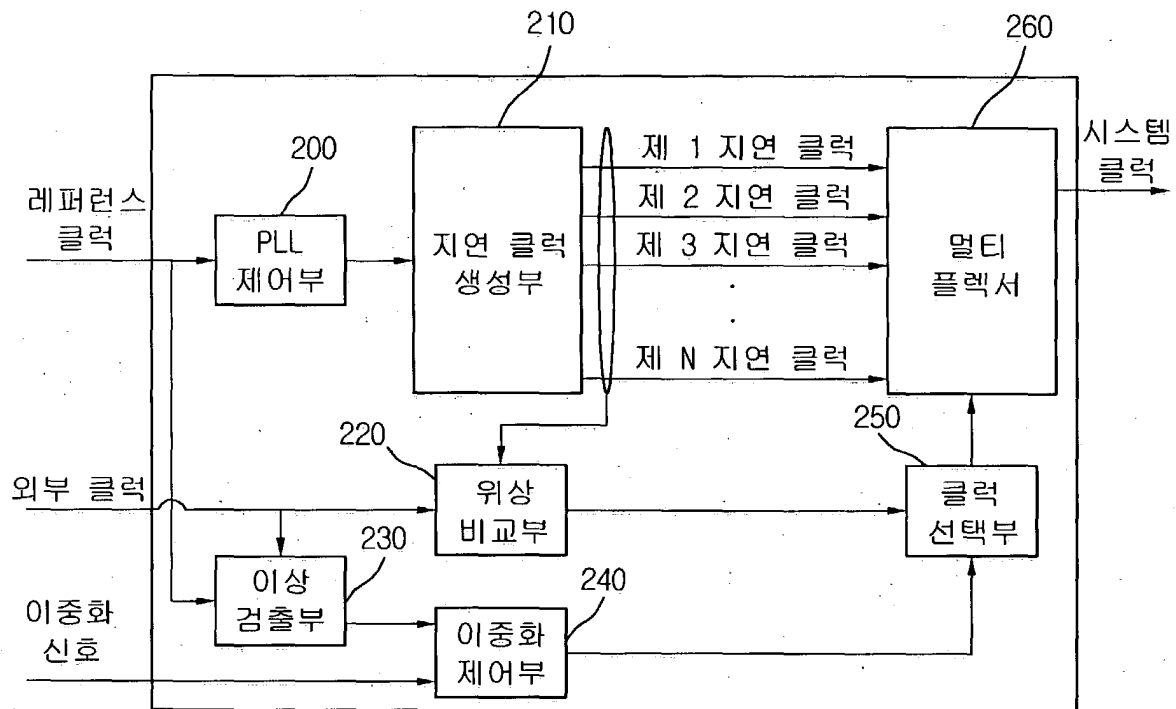
상기 다중 클럭 위상 결정 장치에서 생성된 복수의 시스템 클럭의 이상 유무를 판단하고 이상이 없는 시스템 클럭 중에서 적어도 하나의 클럭을 선택하여 상기 다중 클럭 위상 결정 장치에 외부 클럭으로 제공하는 다중 클럭 선택부를 포함하는 것을 특징으로 하는 다중 클럭 위상 결정 시스템.

## 【도면】

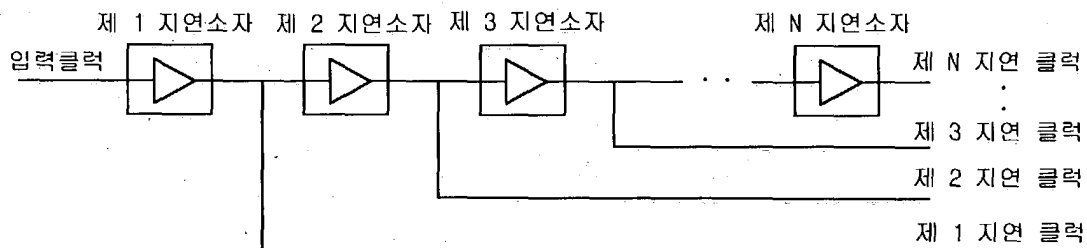
【도 1】



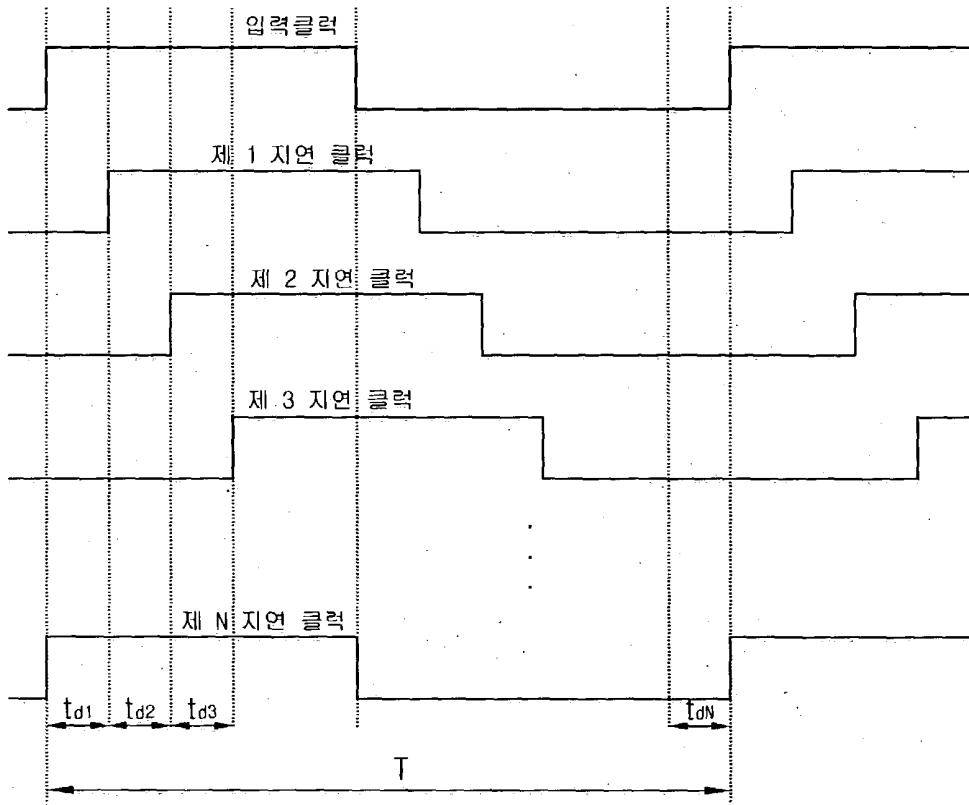
【도 2】



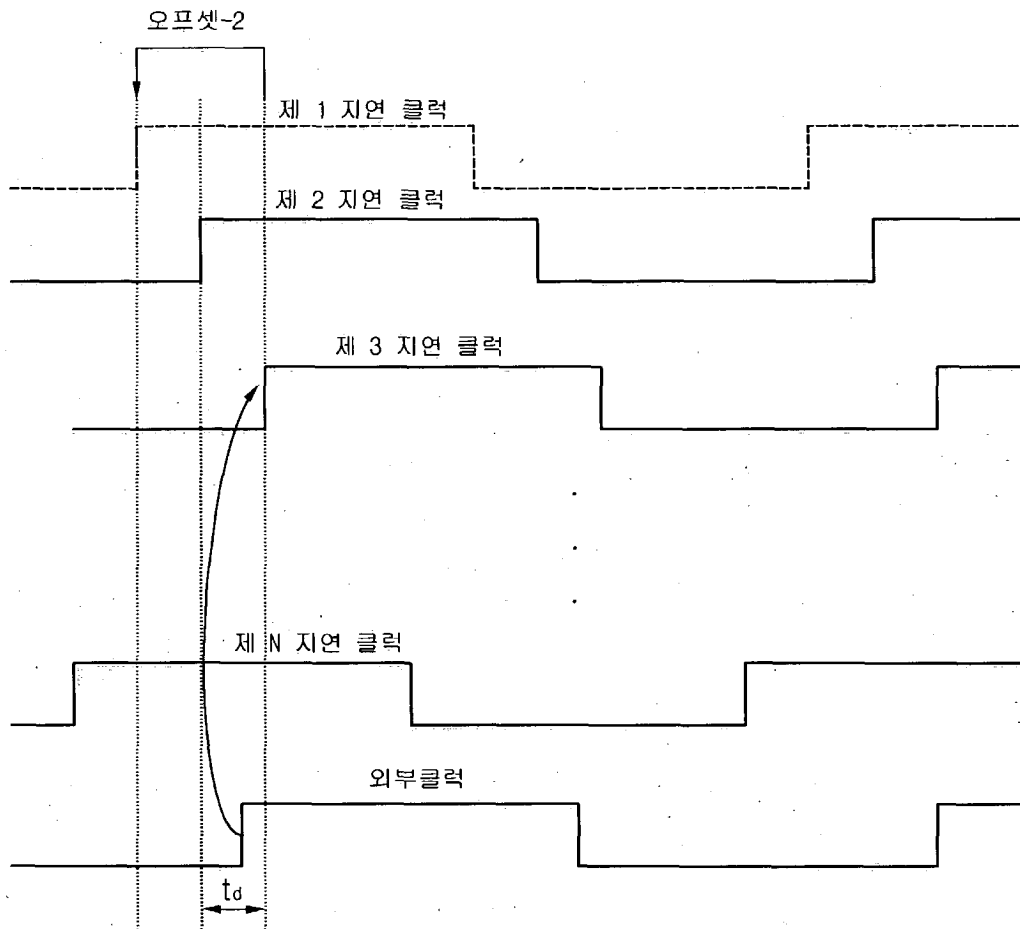
【도 3】



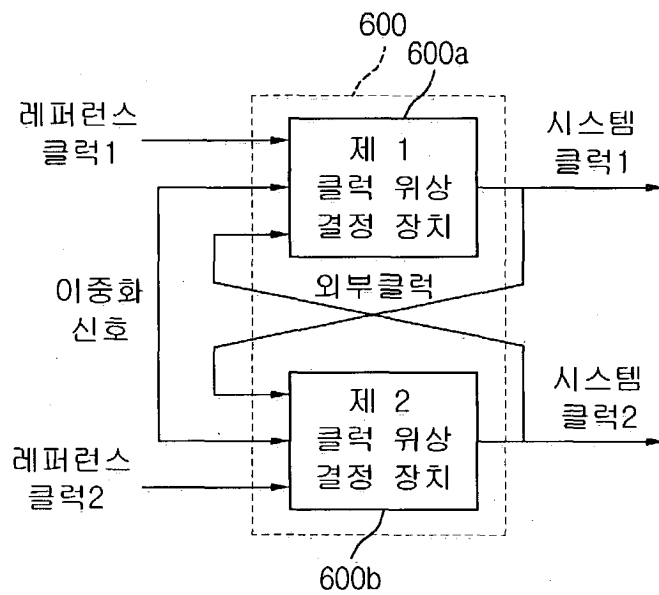
【도 4】



【도 5】



【도 6】





【도 7】

